

CLIPPEDIMAGE= JP403259543A

PAT-NO: JP403259543A

DOCUMENT-IDENTIFIER: JP 03259543 A

TITLE: MOUNTING STRUCTURE OF SEMICONDUCTOR CHIP

PUBN-DATE: November 19, 1991

INVENTOR-INFORMATION:

NAME

YAMASHITA, MASAHIKO

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP02058898

APPL-DATE: March 9, 1990

INT-CL (IPC): H01L021/60

US-CL-CURRENT: 361/717, 361/783

ABSTRACT:

PURPOSE: To improve heat dissipation of a semiconductor chip by connecting a signal electrode and a signal pattern through a solder bump of one-stage structure, and mounting the chip on a circuit board in a face-down manner.

CONSTITUTION: Bumps 11 are secured to a signal electrode 2 and a ground electrode 3 of a semiconductor chip 1 by a solder reflowing unit, a lower stage bump 12 is engaged with the hole 26 of an insulating layer 25 to be mounted at a circuit board side. The chip 1 is superposed on such a board 5 in a face-down manner, the bump 11 secured to the signal voltage 2 is aligned to the pad of a signal pattern 6, the bump 11 secured to the electrode

3 is aligned to the bump 12, heated to connect the bump 11 and the pattern 6 by soldering by a solder reflowing unit. Simultaneously, other solder bump 11 to the bump 12, the bump 12 to a conductor layer 20 are connected by soldering, and the chip 1 is mounted on the board 5 in a face-down manner. Accordingly, the heat of the chip 1 is dissipated from the bumps 11, 12, via - the layer 20 through the board.

COPYRIGHT: (C)1991,JPO&Japio

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平3-259543

⑬ Int. Cl. 5

H 01 L 21/60

識別記号

311 S

庁内整理番号

6918-4M

⑭ 公開 平成3年(1991)11月19日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体チップの実装構造

⑯ 特願 平2-58898

⑰ 出願 平2(1990)3月9日

⑱ 発明者 山下 雅彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代理人 弁理士 井桁 貞一

明細書

1. 発明の名称

半導体チップの実装構造

該半導体チップ(1)がフェースダウンに該回路基板(5)に実装されたことを特徴とする半導体チップの実装構造。

2. 特許請求の範囲

信号電極(2)及びアース電極(3)を、集積回路形成面に所望に配列した半導体チップ(1)と、基板の表面の全面に形成されたグランド導体層(20)、該グランド導体層(20)上に積層形成された絶縁層(25)、及び該絶縁層(25)の表面に形成された信号バターン(6)を有する回路基板(5)とからなり、

半田バンプ(11)の下部に下段半田バンプ(12)が接続された2段構成のバンプを用い、該下段半田バンプ(12)が該絶縁層(25)に設けた孔(26)に嵌入されて、該アース電極(3)と該グランド導体層(20)とが2段構成のバンプを介して接続され、

該信号電極(2)と該信号バターン(6)とが、1段構成の該半田バンプ(11)を介して接続されるごとで、

3. 発明の詳細な説明

(概要)

回路基板に半導体チップをフェースダウンに実装する構造にかかわり、特に半導体チップの放熱構造に関し、

放熱性に優れ、且つ高周波特性が良好な半導体チップの実装構造を提供することを目的とし、

信号電極及びアース電極を、集積回路形成面に所望に配列した半導体チップと、基板の表面の全面に形成されたグランド導体層、該グランド導体層上に積層形成された絶縁層、及び該絶縁層の表面に形成された信号バターンを有する回路基板とからなり、半田バンプの下部に下段半田バンプが接続された2段構成のバンプを用い、該下段半田バンプが該絶縁層に設けた孔に嵌入されて、該アース電極と該グランド導体層とが2段構成のバ

ンプを介して接続され、該信号電極と該信号パターンとが、1段構成の該半田バンプを介して接続されることで、該半導体チップがフェースダウンに該回路基板に実装された構成とする。

〔産業上の利用分野〕

本発明は、回路基板に半導体チップをフェースダウンに実装する構造にかかるわり、特に半導体チップの放熱構造に関する。

近年の電子部品及び電子機器は、軽薄短小傾向にあり、同時に高密度化が一段と要求されている。

このような背景から半導体チップにおいても、集積回路を形成した面に入出力電極を格子状に配列し、半田バンプを介して回路基板のパターンに接続し、フェースダウンに実装している。

電極を格子の交点に配列した半導体チップは、チップの周縁に電極を配列したものに比較して、チップ自体を小形にできるという、メリットがある。

また、フェースダウンに実装することにより、

半田リフロー手段により半導体チップ1のそれぞれの電極に固着されている。

5は、例えばアルミナ等のセラミックスよりも回路基板であって、表面に薄膜又は厚膜で所望の回路素子を設けるとともに、半導体チップ1に接続する信号パターン6及びアースパターン7を形成してある。

そして信号パターン6の端末には信号電極2に対応したパッドを、アースパターン7の端末にはアース電極3に対応したパッドをそれぞれ設けてある。

このような回路基板5の表面に半導体チップ1をフェースダウンに重ね、それぞれの半田バンプ10を基板側パッドに位置合わせし、加熱して半田リフロー手段で、半田バンプ10と基板側パッドとを半田付けして半導体チップ1を回路基板5にフェースダウンに実装している。

〔発明が解決しようとする課題〕

ところで、シリコン等の半導体基板、及びセラ

ミックス等の回路基板は、熱伝導率が小さいので半導体チップの集積回路から発生した熱は、信号パターン6、アースパターン7に伝達されてそれらの表面から放熱されることになり、上記従来の実装構造は放熱性が劣るという問題点があった。

〔従来の技術〕

第2図は従来例の斜視図、第3図は従来例の断面図である。

第2図、第3図において、1はシリコン基板等の表面(図の下面)に、集積回路を形成した半導体チップであって、半導体チップ1の表面に、所定のピッチ(例えば $200\mu m$)で格子を想定し、所望の交点を選択して、交点上に信号電極2及びアース電極3を設けてある。

このような信号電極2は集積回路の信号用パターンの端末に、アース電極3はアース用パターンの端末にそれぞれ設けてある。

10は、直径が $100\mu m$ 程度の半田バンプである。半田バンプ10は銅ボールを半田めっきしたもので、

ミックス等の回路基板は、熱伝導率が小さいので半導体チップの集積回路から発生した熱は、信号パターン6、アースパターン7に伝達されてそれらの表面から放熱されることになり、上記従来の実装構造は放熱性が劣るという問題点があった。

一方、半導体チップの回路は、数個のアース用バンプを介して回路基板のアースパターン7に接続しているだけであるので、半導体チップの接地が不十分である。また、半導体チップ1の小形化に伴い、回路基板上の信号線パターン相互は、近接して形成されている。これらのこととに起因して、半導体チップの高周波特性が劣るという問題点があった。

本発明は、このような点に鑑みて創作されたもので、放熱性に優れ、且つ高周波特性が良好な半導体チップの実装構造を提供することを目的としている。

〔課題を解決するための手段〕

上記の目的を達成するために本発明は、第1図

に例示したように、半導体チップ1には、集積回路形成面に信号電極2及びアース電極3を、所望に配列形成する。

一方、回路基板5の表面の全面にグランド導体層20を形成し、グランド導体層20上に絶縁層25を積層形成し、さらにこの絶縁層25の表面に、半導体チップ1に接続する信号パターン6を設ける。

そして、それぞれの信号パターン6の端末に、半導体チップ1の信号電極2に対応してパッドを設ける。

また、絶縁層25には半導体チップ1のアース電極3に対応して、グランド導体層20に連通する孔26を設ける。

一方、アース電極3とグランド導体層20とを接続する半田バンプは、半田バンプ11と下段半田バンプ12とが上下に連結された2段構成とする。また、信号電極2と信号パターン6とを接続する半田バンプは1段構成の半田バンプ11とする。

そして、下段半田バンプ12を絶縁層25の孔26に嵌入して、アース電極3とグランド導体層20とを

2段構成の半田バンプ11・下段半田バンプ12を介して接続し、信号電極2と信号パターン6とを1段構成の半田バンプ11を介して接続することで、半導体チップ1をフェースダウンに回路基板5に実装する構成とする。

[作用]

上述のように本発明の半導体チップの実装構造は、半導体チップ1にアース電極3を配列し、それぞれのアース電極3は、2段構成の半田バンプを介して、広面積のグランド導体層20に接続している。

したがって、半導体チップ1の熱は、半田バンプ11一下段半田バンプ12を介してグランド導体層20に伝達され、その熱が半導体チップの実装領域外のグランド導体層20に拡散する。そして実装領域外の絶縁層及び回路基板部分から大気中に放熱されるので、半導体チップの放熱性が向上する。

また、信号パターン6と広面積のグランド導体層20とを低誘電率の絶縁層25を介して対向形成し

てあるので、回路基板5上の信号パターン6はストリップ線路となっている。

したがって、高速信号が隣接した他の信号線パターンに洩れる恐れがなく、高周波特性が向上する。

[実施例]

以下図を参照しながら、本発明を具体的に説明する。なお、全図を通じて同一符号は同一対象物を示す。

第1図は本発明の実施例の断面図である。

図において、シリコン基板等の表面(図の下面)に、集積回路を形成した半導体チップ1は、表面に所定のピッチ(例えば $200\mu m$)で格子を想定し、その交点行列より、所望の交点を選択して、信号電極2とアース電極3とを配列してある。

一方、アルミナ等よりなる回路基板5の表面の全面に、銀、銅等をメタライズしてグランド導体層20を設け、さらにグランド導体層20の表面に、低誘電率の誘電体(例えば SiO_2 , Al_2O_3 , ガラス

等)よりなる絶縁層25を印刷・焼成してある。

なおこの絶縁層25には、半導体チップ1のアース電極3に対応して、下段半田バンプ12の外径よりも僅かに大きい、グランド導体層20に連通する孔26を配設してある。

また、絶縁層25の上面に、銀、バラジュウム、銅等よりなる厚膜の信号パターン6を印刷・焼成するとともに、それぞれの信号パターン6の端末に、パッドを設けてある。

11,12は、直径が $100\mu m$ 程度の銅ボールを半田めっきした半田バンプである。

一方、アース電極3とグランド導体層20とを接続する半田バンプは、半田バンプ11と下段半田バンプ12とを上下に連結した2段構成とし、信号電極2と信号パターン6とを接続する半田バンプは1段構成の半田バンプ11とする。

半田バンプ11は、半田リフロー手段により半導体チップ1のそれぞれの信号電極2、及びアース電極3に固着するとともに、下段半田バンプ12は、絶縁層25の孔26に嵌入することで回路基板5側に

装着する。

そして、このような回路基板5の表面に半導体チップ1をフェースダウンに重ね、信号電極2に固着した半田バンプ11を信号パターン6のパッドに、アース電極3に固着した半田バンプ11を下段半田バンプ12にそれぞれ位置合わせし、加熱して半田リフロー手段で、半田バンプ11と信号パターン6とを半田付け接続するとともに、他の半田バンプ11と下段半田バンプ12、下段半田バンプ12とグランド導体層20とを半田付け接続することで、半導体チップ1を回路基板5にフェースダウンに実装している。

本発明は上述のように構成されているので、半導体チップ1の熱は、半田バンプ11一下段半田バンプ12を介してグランド導体層20に伝達され、半導体チップの実装領域外の絶縁層及び回路基板部分から大気中に放熱される。

また、信号パターン6を、絶縁層25を介してグランド導体層20に対向して形成しストリップ線路構成としてあるので、高周波特性が良好である。

- 2は信号電極、
- 3はアース電極、
- 5は回路基板、
- 6は信号パターン、
- 7はアースパターン、
- 10,11は半田バンプ、
- 12は下段半田バンプ、
- 20はグランド導体層、
- 25は絶縁層、
- 26は孔をそれぞれ示す。

代理人 弁理士 井桁 貞一


〔発明の効果〕

以上説明したように本発明は、回路基板に、グランド導体層、絶縁層、信号パターンの順に形成するとともに、グランド導体層と半導体チップのアース電極とを2段構成の半田バンプで接続するという構成とすることで、半導体チップの熱が広面積のグランド導体層に伝達されることになり、半導体チップの放熱性が向上するという実用上で優れた効果を奏する。

また、信号パターンをストリップ線路構成としてあるので、高速信号が隣接した他の信号線パターンに洩れる恐れがなくて、高周波特性が良好であるという効果がある。

4. 図面の簡単な説明

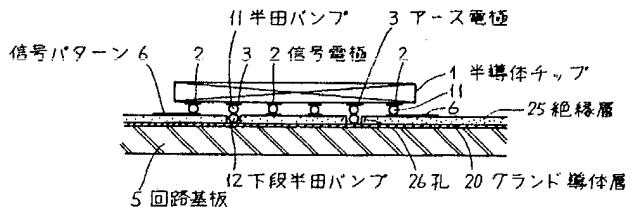
第1図は本発明の実施例の断面図、

第2図は従来例の斜視図、

第3図は従来例の断面図である。

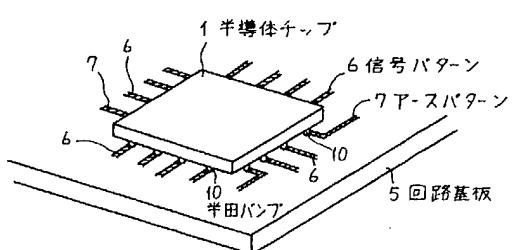
図において、

1は半導体チップ、



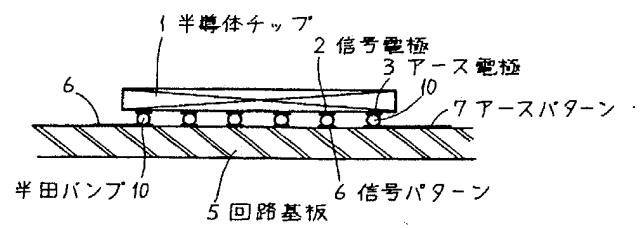
本発明の実施例の断面図

第1図



従来例の斜視図

第2図



従来例の断面図

第3図